

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03160277 **Image available**

SEMICONDUCTOR MEMORY

PUB. NO.: **02-135777** [JP 2135777 A]

PUBLISHED: May 24, 1990 (19900524)

INVENTOR(s): NAKAJIMA HIDEHARU

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-290459 [JP 88290459]

FILED: November 17, 1988 (19881117)

INTL CLASS: [5] H01L-027 108; H01L-027 04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)

JOURNAL: Section: E, Section No. 964, Vol. 14, No. 374, Pg. 35, August
13, 1990 (19900813)

ABSTRACT

PURPOSE: To obtain a high degree of integration by forming a groove on a semiconductor substrate, forming a word line on the sidewall of the groove, and so laminating the electrodes of 2 layers for forming a capacitor each other as to be disposed along the inner face of the groove.

CONSTITUTION: A word line 17 to become the gate electrode of a switching transistor 32 is formed on the sidewall of a groove 12 formed on a semiconductor substrate 11, and electrodes 23, 25 of two layers for forming a capacitor 33 are so laminated as to be disposed along the inner face of the groove 12. Accordingly, the planar area of the line 17 is small, the planar area of a memory cell 34 can be reduced, and the groove 12 is deepened thereby to increase its capacitance. Thus, since S/N can be increased at the rate of the planar area of the memory cell, high integration can be obtained.

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9308886

Basic Patent (No.Kind.Date): JP 2135777 A2 900524 <No. of Patents: 001>

SEMICONDUCTOR MEMORY (English)

Patent Assignee: SONY CORP

Author (Inventor): NAKAJIMA HIDEHARU

IPC: *H01L-027 108; H01L-027 04

Derwent WPI Acc No: G 90-205200

JAPIO Reference No: 140374E000035

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|-------------------|------|--------|-------------|------|----------------|
| JP 2135777 | A2 | 900524 | JP 88290459 | A | 881117 (BASIC) |

Priority Data (No.Kind.Date):

JP 88290459 A 881117

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-135777

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月24日

H 01 L 27/108
27/04

C

7514-5F
8624-5F

H 01 L 27/10

3 2 5 E

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 昭63-290459

⑰ 出 願 昭63(1988)11月17日

⑱ 発 明 者 中 嶋 英 晴 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川 6 丁目 7 番 35 号

⑳ 代 理 人 弁理士 土 屋 勝

明 細 書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

スイッチング用のトランジスタとキャパシタとで1つのメモリセルが構成されている半導体メモリにおいて、

半導体基体に形成されている溝と、

この溝を横切っているフィールド絶縁膜と、

前記溝の側壁に形成されており前記トランジスタのゲート電極となっているワード線と、

前記フィールド絶縁膜で分離されている前記溝内の領域において前記溝の内面に沿う様に互いに積層しており前記キャパシタを構成している2層の電極とを夫々具備する半導体メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、スイッチング用のトランジスタとキャパシタとで1つのメモリセルが構成されている半導体メモリに関するものである。

(発明の概要)

本発明は、上記の様な半導体メモリにおいて、半導体基体に溝を形成してこの溝の側壁にワード線を形成し、キャパシタを構成する2層の電極を溝の内面に沿う様に互いに積層させることによって、高い集積度を得ることができる様にしたものである。

(従来の技術)

キャパシタに電荷を蓄積して情報を記憶するDRAM等では、高集積化のためにメモリセルの平面的な面積を小さくしてもキャパシタンスを減少させず高いS/N比を得ることができる技術の1つとして、積層形キャパシタが考えられている。

(発明が解決しようとする課題)

しかし、積層形キャパシタを有するメモリセルでも、スイッチング用のトランジスタのゲート電極となっているワード線は、従来は平面的に配置されていた(例えば、「月刊Semiconductor World」プレスジャーナル社(1988.2)p.31-36)。

従って、ワード線の巾を細くしてメモリセルの面積を小さくすることがリソグラフィの限界によって制約されており、必ずしも高い集積度を得ることができなかった。

(課題を解決するための手段)

本発明による半導体メモリは、半導体基体11に形成されている溝12と、この溝12を横切っているフィールド絶縁膜14と、前記溝12の側壁に形成されておりスイッチング用のトランジスタ32のゲート電極となっているワード線17と、前記フィールド絶縁膜14で分離されている前記溝12内の領域において前記溝12の内面に沿う様に互いに積層しておりキャパシタ33を構成している2層の電極23、25とを夫々具備してい

る。

(作用)

本発明による半導体メモリでは、半導体基体11に形成されている溝12の側壁にワード線17が形成されているので、ワード線17の平面的な面積が小さく、メモリセル34の平面的な面積を小さくすることができる。

また、キャパシタ33を構成する2層の電極23、25は溝12の内面に沿う様に互いに積層しているので、溝12を深くすることによってキャパシタンスを大きくすることができ、メモリセル34の平面的な面積の割にS/N比を高くすることができる。

(実施例)

以下、DRAMに適用した本発明の第1及び第2実施例を、第1図～第4図を参照しながら説明する。

第1図及び第2図が、オープンビット線構成の

第1実施例を示している。この第1実施例を製造するには、第1A図及び第2図に示す様に、Si基体11に互いに平行な複数の溝12をRIEによってまず形成する。従って、Si基体11の表面では、溝12と2本の溝12に挟まれている凸条13とが交互に延びている。

その後、溝12及び凸条13と直交して延びると共に溝12の底部の中央部を溝12及び凸条13と平行に延びるフィールド絶縁膜としてのSiO₂膜14を、従来公知の方法によって形成する。従ってこのSiO₂膜14は、全体として格子状をなしている。なおSiO₂膜14の下には、チャネルストップパ(図示せず)を形成しておく。

その後、ゲート絶縁膜としてのSiO₂膜15を全面酸化によって形成し、更に、SiO₂膜14に囲まれている溝12の底部と凸条13の頂部とに、不純物のイオン注入及び熱処理によってn⁺層16を形成する。

そして更に、不純物を添加した多結晶Si層17の堆積及び全面RIEによって、溝12の側壁に

のみ多結晶Si層17を自己整合的に残す。

次に、全面酸化とSiO₂のCVDとによって、第1B図に示す様に、多結晶Si層17の表面にもSiO₂膜21を形成する。

その後、溝12の底部のn⁺層16に達するコンタクト窓22をSiO₂膜15等に形成する。そして、不純物を添加した多結晶Si層23を堆積させ、SiO₂膜14に囲まれている領域のうちで凸条13の頂部の中央部を除く領域及びその周辺近傍のみを覆う様に多結晶Si層23をバターンニングする。

次に、酸化によって、第1C図に示す様に、多結晶Si層23の表面にSiO₂膜24を形成する。そして、不純物を添加した多結晶Si層25を堆積させ、SiO₂膜14に囲まれている領域で且つ凸条13の頂部の中央部の領域及びその周辺近傍のみを除いて広がる様に多結晶Si層25をバターンニングする。

その後、層間絶縁膜としてのSiO₂膜26を堆積させ、凸条13の頂部のn⁺層16に達するコンタクト窓27をSiO₂膜26等に形成する。そして、

A₂層31を堆積させ、溝12及び凸条13と直交して延びているSiO₂膜14同士の間を延びる様にA₂層31をパターンニングし、更にこのA₂層31に対するシンタを行う。なお、A₂層31の代りにポリサイド層やシリサイド層等を用いてもよい。

以上の様にして製造した第1実施例では、多結晶Si層17とn⁺層16とでスイッチング用のトランジスタ32が構成されており、多結晶Si層23、25とSiO₂膜24とでキャパシタ33が構成されており、これらのトランジスタ32とキャパシタ33とでメモリセル34が構成されている。

また、多結晶Si層17はワード線ともなっており、A₂層31がビット線となっている。

以上の様な第1実施例では、ビット線であるA₂層31のためのコンタクト窓27が凸条13の頂部上に形成されているので、第1C図からも明らかな様に、A₂層31の段差が小さい。

従って、A₂層31の堆積及びパターンニングが容易であり、A₂層31は良好な段差被覆性を有

している。このため、メモリセル34の不良も起きにくい。

第3図及び第4図は、折り返しビット線構成の第2実施例を示している。この第2実施例の製造に際しても、第3A図及び第4図に示す様に、p⁺形のSi基体11の表面に第1実施例と同様に溝12及び凸条13を形成する。

また、溝12及び凸条13と直交して延びるSiO₂膜14も、第1実施例と同様に形成する。しかし、溝12及び凸条13と平行な方向では、溝12の底部ではなく凸条13の頂部に凸条13の略全巾に亘ってSiO₂膜14を形成し、しかもこのSiO₂膜14は凸条13上を連続的に延びるのではなく、第4図から明らかな様に、互いに隣接する凸条13上を交互に延びる様に形成する。なおこの第2実施例でも、SiO₂膜14の下にはチャネルストップパ(図示せず)を形成しておく。

その後、SiO₂膜15及び多結晶Si層17を形成し、この状態でn⁺層16を形成する。

次に、第3B図に示す様に、SiO₂膜21を形成

し、更にコンタクト窓22を形成する。そして、SiO₂膜14に囲まれている領域のうちで凸条13の頂部を除く領域及びその周辺近傍のみを覆う様に、多結晶Si層23を形成する。

なこの多結晶Si層23は、第1実施例の様に不純物を添加した状態で堆積させる他に、堆積後に不純物をイオン注入等でプレデポジションしてもよい。

次に、SiO₂膜24を形成し、更に、SiO₂膜14に囲まれている領域で且つ凸条13の頂部の中央部の領域及びその周辺近傍のみを除いて広がる様に多結晶Si層25を形成する。

次に、第3C図に示す様に、層間絶縁膜としてのリフロー膜35を形成し、コンタクト窓27を形成した後にリフロー膜35をリフローさせる。そして、A₂層31の堆積、パターンニング及びシンタを行う。

以上の様にして製造した第2実施例でも、第1実施例と同様に、トランジスタ32、キャパシタ33及びメモリセル34が構成されており、多結

晶Si層17及びA₂層31が夫々ワード線及びビット線となっている。

但しこの第2実施例では、多結晶Si層17のうちでSiO₂膜14の端縁に沿って延びている部分は、第4図から明らかな様に、多結晶Si層17の延びている方向で隣接しているメモリセル34用のワード線となっている。つまりこの第2実施例は、折り返しビット線構成となっている。

そして、凸条13の側壁に形成されている多結晶Si層17がワード線となっているので、折り返しビット線構成のためにワード線同士の配置が密でも、ワード線と直交する方向にメモリセル34を縮小することができる。

またこの第2実施例では、第3C図から明らかな様に、多結晶Si層25によって溝12を埋めることができるので、リフロー膜35のリフローが容易であり、コンタクト窓27を形成した後のA₂層31の段差被覆性を高めることができる。

(発明の効果)

本発明による半導体メモリでは、メモリセルの平面的な面積を小さくすることができ、しかもメモリセルの平面的な面積の割にS/N比を高くすることができるので、高い集積度を得ることができる。

34.....メモリセル・である。

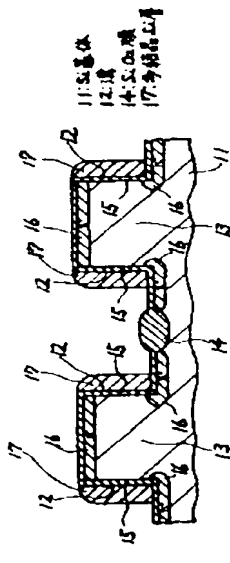
代理人 土屋 勝

4. 図面の簡単な説明

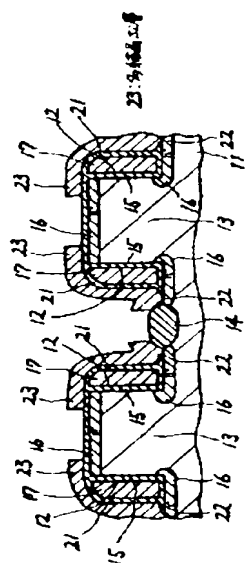
第1図は本発明の第1実施例の製造工程を順次に示しており第2図の1-1線に沿っている側断面図、第2図は第1実施例の平面図、第3図は第2実施例の製造工程を順次に示しており第4図のII-III線に沿っている側断面図、第4図は第2実施例の平面図である。

なお図面に用いた符号において、

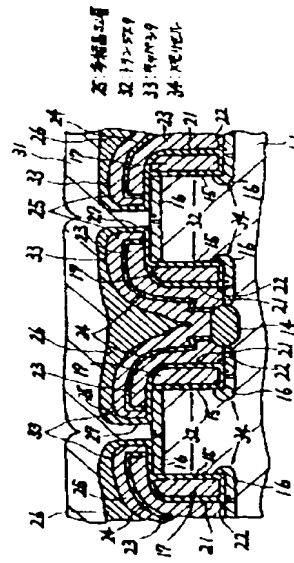
- 11.....Si基体
- 12.....溝
- 14.....SiO₂膜
- 17, 23, 25.....多結晶Si層
- 32.....トランジスタ
- 33.....キャパシタ



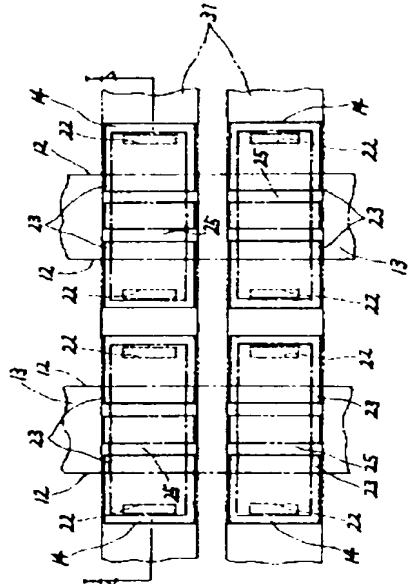
製造工程
第1A図



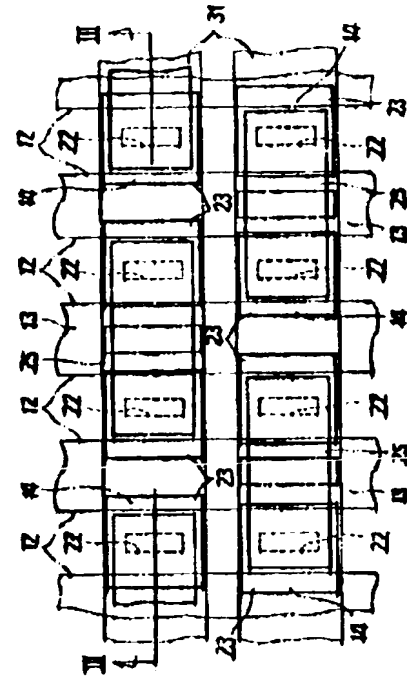
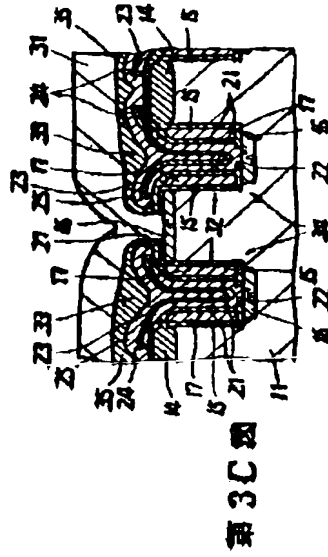
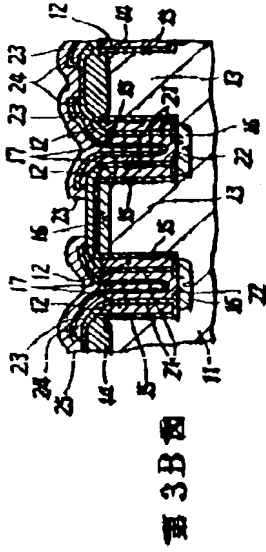
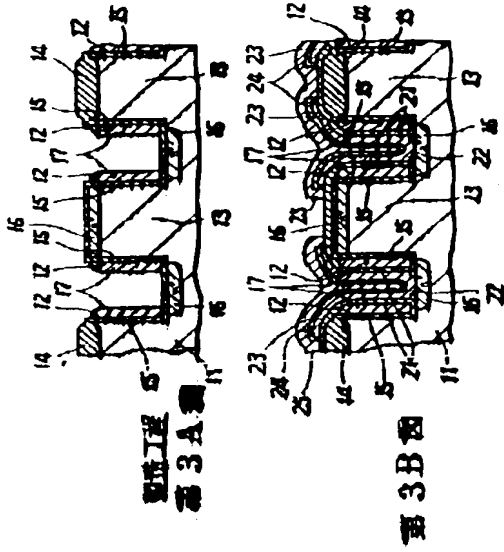
第1B図



第1C図



メモリセル
第2図



メトリセル